

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-43533
(P2002-43533A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/06	3 1 1	H 0 1 L 27/06	3 1 1 C 5 F 0 3 8
21/822		27/04	1 0 1 P 5 F 0 4 8
21/8222		27/08	H 5 F 0 8 2
21/8238		27/06	3 2 1 H
			1 0 1 D
審査請求 有 請求項の数36 O L (全 26 頁) 最終頁に続く			

(21) 出願番号 特願2001-120739(P2001-120739)
(22) 出願日 平成13年4月19日 (2001.4.19)
(31) 優先権主張番号 特願2000-141304(P2000-141304)
(32) 優先日 平成12年5月15日 (2000.5.15)
(33) 優先権主張国 日本 (J P)

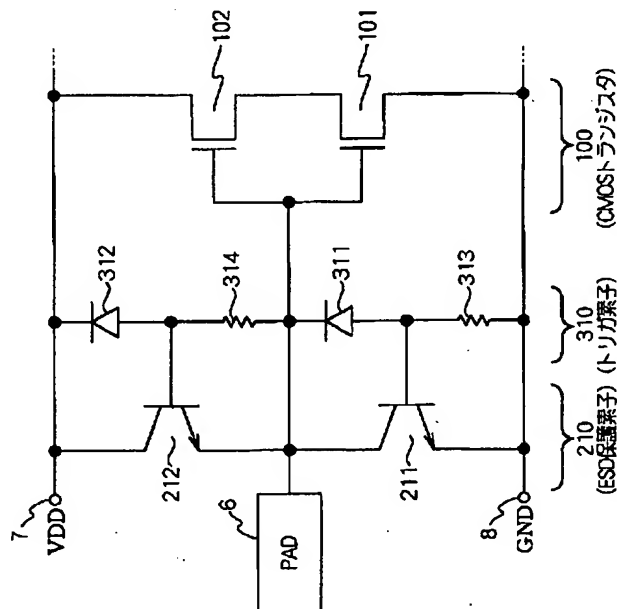
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 奥島 基嗣
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 100079164
弁理士 高橋 勇
Fターム(参考) 5F038 AV04 AV05 AV06 BE09 BH05
BH06 BH13 CA18 EZ20
5F048 AA02 AC03 BA01 BE03 CA02
CA13 CC01 CC06 CC10 CC19
5F082 AA33 BC03 BC09 BC11

(54) 【発明の名称】 ESD保護装置及びその製造方法

(57) 【要約】

【課題】 縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも低電圧でトリガする特性を実現する。

【解決手段】 本発明のESD保護装置は、半導体集積回路チップの入力端子6とCMOSトランジスタ100との間に設けられ、入力端子6に印加された過電圧によって降伏するダイオード311、312を有するトリガ素子310と、ダイオード311、312の降伏によって導通することにより、入力端子6の蓄積電荷を放電する縦型バイポーラトランジスタ211、212を有するESD保護素子210とを備えている。



【特許請求の範囲】

【請求項 1】 半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられた ESD 保護装置において、
前記パッドに印加された過電圧によって降伏するダイオードを有するトリガ素子と、
前記ダイオードの降伏によって導通することにより、前記パッドの蓄積電荷を放電する縦型バイポーラトランジスタを有する ESD 保護素子と、
を備えたことを特徴とする ESD 保護装置。

【請求項 2】 前記ダイオードは単数、又は複数のダイオードが直列に接続されたものであり、
前記過電圧は当該ダイオードにとって順方向電圧であり、
前記降伏は導通による実質的な降伏である、
請求項 1 記載の記載の ESD 保護装置。

【請求項 3】 前記パッドは入力端子又は出力端子であり、
前記トリガ素子は第一及び第二の前記ダイオード並びに第一及び第二の抵抗からなり、
前記 ESD 保護素子は NPN 型の第一及び第二の前記縦型バイポーラトランジスタからなり、
前記第一のダイオードは、カソードが前記パッドに接続され、アノードが前記第一の縦型バイポーラトランジスタのベースに接続され、
前記第二のダイオードは、カソードが電源端子に接続され、アノードが前記第二の縦型バイポーラトランジスタのベースに接続され、
前記第一のダイオードのアノードとグランド端子との間には、前記第一の抵抗が接続され、
前記第二のダイオードのアノードと前記パッドとの間には、前記第二の抵抗が接続され、
前記第一の縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続され、
前記第二の縦型バイポーラトランジスタは、コレクタが前記電源端子に接続され、エミッタが前記パッドに接続され、
前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、
請求項 1 記載の ESD 保護装置。

【請求項 4】 前記パッドは入力端子又は出力端子であり、
前記トリガ素子は第一及び第二の前記ダイオード並びに第一及び第二の抵抗からなり、
前記 ESD 保護素子は PNP 型の第一及び第二の前記縦型バイポーラトランジスタからなり、
前記第一のダイオードは、カソードが前記第一の縦型バ

イポーラトランジスタのベースに接続され、アノードがグランド端子に接続され、

前記第二のダイオードは、カソードが前記第二の縦型バイポーラトランジスタのベースに接続され、アノードが前記パッドに接続され、

前記第一のダイオードのカソードと前記パッドとの間には、前記第一の抵抗が接続され、

前記第二のダイオードのカソードと前記電源端子との間には、前記第二の抵抗が接続され、

10 前記第一の縦型バイポーラトランジスタは、コレクタが前記グランド端子に接続され、エミッタが前記パッドに接続され、

前記第二の縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記電源端子に接続され、

前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、

20 請求項 1 記載の ESD 保護装置。

【請求項 5】 前記パッドは電源端子であり、
前記縦型バイポーラトランジスタは NPN 型であり、
前記ダイオードは、カソードが前記パッドに接続され、アノードが前記縦型バイポーラトランジスタのベースに接続され、

前記ダイオードのアノードとグランド端子との間には、抵抗が接続され、

前記縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続された、

30 請求項 1 記載の ESD 保護装置。

【請求項 6】 前記パッドは電源端子であり、
前記縦型バイポーラトランジスタは PNP 型であり、
前記ダイオードは、カソードが前記縦型バイポーラトランジスタのベースに接

続され、アノードがグランド端子に接続され、前記ダイオードのカソードと前記電源端子との間には、抵抗が接続され、

前記縦型バイポーラトランジスタは、コレクタが前記グランド端子に接続され、エミッタが前記パッドに接続された、

40 請求項 1 記載の ESD 保護装置。

【請求項 7】 前記パッドは入力端子又は出力端子であり、

前記トリガ素子は第一及び第二の前記ダイオード並びに第一及び第二の抵抗からなり、

前記 ESD 保護素子は NPN 型の第一及び第二の前記縦型バイポーラトランジスタからなり、

前記第一のダイオードは、アノードが前記パッドに接続され、カソードが前記第一の縦型バイポーラトランジ

タのベースに接続され、
 前記第二のダイオードは、アノードが電源端子に接続され、カソードが前記第二の縦型バイポーラトランジスタのベースに接続され、
 前記第一のダイオードのカソードとグランド端子との間には、前記第一の抵抗が接続され、
 前記第二のダイオードのカソードと前記パッドとの間には、前記第二の抵抗が接続され、
 前記第一の縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続され、
 前記第二の縦型バイポーラトランジスタは、コレクタが前記電源端子に接続され、エミッタが前記パッドに接続され、
 前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、
 請求項 2 記載の ESD 保護装置。

【請求項 8】 前記パッドは入力端子又は出力端子であり、
 前記トリガ素子は第一及び第二の前記ダイオード並びに第一及び第二の抵抗からなり、
 前記 ESD 保護素子は PNP 型の第一及び第二の前記縦型バイポーラトランジスタからなり、
 前記第一のダイオードは、アノードが前記第一の縦型バイポーラトランジスタのベースに接続され、カソードがグランド端子に接続され、
 前記第二のダイオードは、アノードが前記第二の縦型バイポーラトランジスタのベースに接続され、カソードが前記パッドに接続され、
 前記第一のダイオードのアノードと前記パッドの間には、前記第一の抵抗が接続され、
 前記第二のダイオードのアノードと前記電源端子の間には、前記第二の抵抗が接続され、
 前記第一の縦型バイポーラトランジスタは、コレクタが前記グランド端子に接続され、エミッタが前記パッドに接続され、
 前記第二の縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記電源端子に接続され、
 前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、
 請求項 2 記載の ESD 保護装置。

【請求項 9】 前記パッドは電源端子であり、
 前記縦型バイポーラトランジスタは NPN 型であり、
 前記ダイオードは、アノードが前記パッドに接続され、カソードが前記縦型バイポーラトランジスタのベースに

接続され、
 前記ダイオードのカソードとグランド端子との間には、抵抗が接続され、
 前記縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続され、
 前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、
 請求項 2 記載の ESD 保護装置。

【請求項 10】 前記パッドは電源端子であり、
 前記縦型バイポーラトランジスタは PNP 型であり、
 前記ダイオードは、アノードが前記縦型バイポーラトランジスタのベースに接続され、カソードがグランド端子に接続され、
 前記ダイオードのアノードと前記電源端子との間には、抵抗が接続され、
 前記縦型バイポーラトランジスタは、コレクタが前記グランド端子に接続され、エミッタが前記パッドに接続され、
 前記第一のダイオード、前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二のダイオード、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、
 請求項 2 記載の ESD 保護装置。

【請求項 11】 半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられた ESD 保護装置において、
 前記パッドに印加された過電圧によって降伏するダイオードとしてコレクタ及びベースが動作するとともに、当該ダイオードの降伏によって導通することにより前記パッドの蓄積電荷を放電する第一の縦型バイポーラトランジスタを有するトリガ素子と、
 前記ダイオードの降伏によって導通することにより、前記パッドの蓄積電荷を放電する第二の縦型バイポーラトランジスタを有する ESD 保護素子と、
 を備えたことを特徴とする ESD 保護装置。

【請求項 12】 前記パッドは入力端子又は出力端子であり、
 前記トリガ素子は、前記第一の縦型バイポーラトランジスタとして動作する NPN 型の縦型バイポーラトランジスタ A 及び縦型バイポーラトランジスタ B と、第一及び第二の抵抗とからなり、
 前記 ESD 保護素子は、前記第二の縦型バイポーラトランジスタとして動作する NPN 型の縦型バイポーラトランジスタ C 及び縦型バイポーラトランジスタ D からなり、
 前記縦型バイポーラトランジスタ A、C は、コレクタが前記パッドに接続され、ベースが互いに接続され、エミ

ッタがグランド端子に接続され、
前記縦型バイポーラトランジスタ A、C のベースと前記グランド端子との間には、前記第一の抵抗が接続され、
前記縦型バイポーラトランジスタ B、D は、コレクタが電源端子に接続され、ベースが互いに接続され、エミッタが前記パッドに接続され、
前記縦型バイポーラトランジスタ B、D のベースと前記パッドとの間には、前記第二の抵抗が接続され、
前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、請求項 11 記載の ESD 保護装置。

【請求項 13】 前記パッドは電源端子であり、
前記第一及び第二の縦型バイポーラトランジスタは、NPN 型であり、コレクタが前記パッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続され、
前記第一及び第二の縦型バイポーラトランジスタのベースと前記グランド端子との間には、抵抗が接続された、請求項 11 記載の ESD 保護装置。

【請求項 14】 前記パッドは入力端子又は出力端子であり、
前記トリガ素子は、前記第一の縦型バイポーラトランジスタとして動作する PNP 型の縦型バイポーラトランジスタ A 及び縦型バイポーラトランジスタ B と、第一及び第二の抵抗とからなり、

前記 ESD 保護素子は、前記第二の縦型バイポーラトランジスタとして動作する PNP 型の縦型バイポーラトランジスタ C 及び縦型バイポーラトランジスタ D からなり、

前記縦型バイポーラトランジスタ A、C は、エミッタが前記パッドに接続され、ベースが互いに接続され、コレクタがグランド端子に接続され、

前記縦型バイポーラトランジスタ A、C のベースと前記パッド端子との間には、前記第一の抵抗が接続され、

前記縦型バイポーラトランジスタ B、D は、エミッタが電源端子に接続され、ベースが互いに接続され、コレクタが前記パッドに接続され、

前記縦型バイポーラトランジスタ B、D のベースと前記電源端子との間には、前記第二の抵抗が接続され、

前記第一の抵抗及び前記第一の縦型バイポーラトランジスタと、前記第二の抵抗及び前記第二の縦型バイポーラトランジスタとの少なくとも一方を備えた、請求項 11 記載の ESD 保護装置。

【請求項 15】 前記パッドは電源端子であり、
前記第一及び第二の縦型バイポーラトランジスタは、PNP 型であり、コレクタがグランド端子に接続され、ベースが互いに接続され、エミッタが前記パッドに接続され、

前記第一及び第二の縦型バイポーラトランジスタのベ

スと前記パッドとの間には、抵抗が接続された、
請求項 11 記載の ESD 保護装置。

【請求項 16】 前記第一の縦型バイポーラトランジスタと前記第二の縦型バイポーラトランジスタとのコレクタ層は同時に形成されたものである、

請求項 11、12、13、14 又は 15 記載の ESD 保護装置。

【請求項 17】 前記第一の縦型バイポーラトランジスタと前記第二の縦型バイポーラトランジスタとのコレクタ層は共用化された同じものである、

請求項 11、12、13、14 又は 15 記載の ESD 保護装置。

【請求項 18】 前記縦型バイポーラトランジスタ又は前記ダイオードは、P 型シリコン基板表面に形成された第一の N⁻型ウェルと、この第一の N⁻型ウェルに接して前記 P 型シリコン基板表面に形成された第二の N⁻型ウェルと、この第二の N⁻型ウェル表面に形成された第二の N⁺層と、前記第一の N⁻型ウェル表面に形成された P⁻型ウェルと、この P⁻型ウェル表面に互いに離れて形成された P⁺層及び第一の N⁺層と、これらの P⁺層と第一の N⁺層との間に当該 P⁺層と第一の N⁺層との電気的接続を防止するために付設された絶縁物との全部又は一部からなり、

前記第二の N⁻型ウェルと前記 P⁻型ウェルとが分離用絶縁物で絶縁され、前記 P 型シリコン基板と前記 P⁻型ウェルとが分離用絶縁物で絶縁された、

請求項 1、2、3、5、7、9、11、12 又は 13 記載の ESD 保護装置。

【請求項 19】 前記縦型バイポーラトランジスタ又は前記ダイオードは、N 型シリコン基板表面に形成された第一の P⁻型ウェルと、この第一の P⁻型ウェルに接して前記 N 型シリコン基板表面に形成された第二の P⁻型ウェルと、この第二の P⁻型ウェル表面に形成された第二の P⁺層と、前記第一の P⁻型ウェル表面に形成された N⁻型ウェルと、この N⁻型ウェル表面に互いに離れて形成された N⁺層及び第一の P⁺層と、これらの N⁺層と第一の P⁺層との間に当該 P⁺層と第一の N⁺層との電気的接続を防止するために付設された絶縁物との全部又は一部からなる、

前記第二の P⁻型ウェルと前記 N⁻型ウェルとが分離用絶縁物で絶縁され、前記 N 型シリコン基板と前記 N⁻型ウェルとが分離用絶縁物で絶縁された、

請求項 1、2、4、6、8、10、11、14 又は 15 記載の ESD 保護装置。

【請求項 20】 前記 P⁺層並びに前記第一及び第二の N⁺層は、前記内部回路を構成する CMOS トランジスタの P⁺層及び N⁺層と、同時に形成されるものである
請求項 18 記載の ESD 保護装置。

【請求項 21】 前記 N⁺層並びに前記第一及び第二の P⁺層は、前記内部回路を構成する CMOS トランジ

タの N^+ 層及び P^+ 層と、同時に形成されるものである請求項19記載のESD保護装置。

【請求項22】 前記第二の N^- 型ウェルは、前記内部回路を構成するCMOSトランジスタの N^- 型ウェルと同時に形成されるものである請求項18記載のESD保護装置。

【請求項23】 前記第二の P^- 型ウェルは、前記内部回路を構成するCMOSトランジスタの P^- 型ウェルと同時に形成されるものである請求項19記載のESD保護装置。

【請求項24】 前記絶縁物は、前記内部回路を構成するCMOSトランジスタのゲート電極及びゲート絶縁膜と同時に形成されたダミーゲート電極、又は単なる絶縁膜である、

請求項18又は19記載のESD保護装置。

【請求項25】 前記ダミーゲート電極又は前記絶縁膜は、前記シリコン基板表面に対してリング状に形成された、

請求項24記載のESD保護装置。

【請求項26】 前記ダイオードは、 P 型シリコン基板表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間の前記 P 型シリコン基板表面から内部に形成された絶縁物とからなる、
請求項1、2、3、5、7又は9記載のESD保護装置。

【請求項27】 前記ダイオードは、 N 型シリコン基板表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間の前記 P 型シリコン基板表面から内部に形成された絶縁物とからなる、
請求項1、2、4、6、8又は10記載のESD保護装置。

【請求項28】 前記ダイオードは、 P 型シリコン基板表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間の前記 P 型シリコン基板表面に当該 P^+ 層と N^+ 層との電気的接続を防止するために付設された絶縁物とからなり、
前記 P 型シリコン基板と前記 P^- 型ウェルとが分離用絶縁物で絶縁された、
請求項1、2、3、5、7又は9記載のESD保護装置。

【請求項29】 前記ダイオードは、 N 型シリコン基板表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間の前記 N 型シリコン基板表面に当該 P^+ 層と N^+ 層との電気的接続を防止するために付

設された絶縁物とからなり、

前記 N 型シリコン基板と前記 N^- 型ウェルとが分離用絶縁物で絶縁された、

請求項1、2、4、6、8又は10記載のESD保護装置。

【請求項30】 前記ダイオードは、シリコン基板表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に互いに離れて形成された N^+ 層及び P^+ 層と、これらの N^+ 層と P^+ 層との間の前記 P^- 型ウェル上に絶縁膜を介して設けられるとともにグラウンド端子に接続されたダミーゲート電極とからなる、

請求項1、2、3、4、5、6、7、8、9又は10記載のESD保護装置。

【請求項31】 前記ダイオードは、シリコン基板表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に互いに離れて形成された N^+ 層及び P^+ 層と、これらの N^+ 層と P^+ 層との間の前記 N^- 型ウェル上に絶縁膜を介して設けられるとともにグラウンド端子に接続されたダミーゲート電極とからなる、

請求項1、2、3、4、5、6、7、8、9又は10記載のESD保護装置。

【請求項32】 請求項1、3、4、5、6、11、12、13、14又は15記載のESD保護装置を製造する方法であって、

P 型シリコン基板に対して、前記内部回路を構成するCMOSトランジスタの N^- 型ウェル、及び前記縦型バイポーラトランジスタのコレクタと接続することになるコレクタ接続用 N^- 型ウェルを同時に形成する第一工程と、

前記 P 型シリコン基板に対して、前記縦型バイポーラトランジスタのコレクタとなるコレクタ N^- 型ウェル、及び前記ダイオードの N^- 型ウェルを同時に形成する第二工程と、

前記縦型バイポーラトランジスタのコレクタ N^- 型ウェル内にベースとなる P^- 型層、及び前記ダイオードの N^- 型ウェル内にアノードとなる P^- 型層を同時に形成する第三工程と、

前記CMOSトランジスタの P^- 型ウェルに N^+ 型層、前記縦型バイポーラトランジスタのコレクタ接続用 N^- 型ウェルに N^+ 型層、前記縦型バイポーラトランジスタの P^- 型層にエミッタとなる N^+ 型層、及び前記ダイオードの P^- 型層にカソードとなる N^+ 型層を同時に形成する第四工程と、

前記CMOSトランジスタの N^- 型ウェルに P^+ 型層、前記縦型バイポーラトランジスタの P^- 型層に P^+ 型層、及び前記ダイオードの P^- 型層に P^+ 型層を同時に形成する第五工程と、

を備えたESD保護装置の製造方法。

【請求項33】 請求項2、7、8、9又は10記載のESD保護装置を製造する方法であって、

P型シリコン基板に対して、前記内部回路を構成するCMOSトランジスタのN⁻型ウェル、及び前記縦型バイポーラトランジスタのコレクタと接続することになるコレクタ接続用N⁻型ウェルを同時に形成する第一工程と、

前記P型シリコン基板に対して、前記縦型バイポーラトランジスタのコレクタとなるコレクタN⁻型ウェル、及び前記ダイオードのN⁻型ウェルを同時に形成する第二工程と、

前記縦型バイポーラトランジスタのコレクタN⁻型ウェル内にベースとなるP⁻型層、及び前記ダイオードのN⁻型ウェル内にカソードとなるP⁻型層を同時に形成する第三工程と、

前記CMOSトランジスタのP⁻型ウェルにN⁺型層、前記縦型バイポーラトランジスタのコレクタ接続用N⁻型ウェルにN⁺型層、前記縦型バイポーラトランジスタのP⁻型層にエミッタとなるN⁺型層、及び前記ダイオードのP⁻型層にアノードとなるN⁺型層を同時に形成する第四工程と、

前記CMOSトランジスタのN⁻型ウェルにP⁺型層、前記縦型バイポーラトランジスタのP⁻型層にP⁺型層、及び前記ダイオードのP⁻型層にP⁺型層を同時に形成する第五工程と、

を備えたESD保護装置の製造方法。

【請求項34】 前記縦型バイポーラトランジスタのコレクタN⁻型ウェル及び前記ダイオードのN⁻型ウェルが前記第二工程で形成される領域に、前記CMOSトランジスタのゲート電極と同時にダミーゲート電極を形成する工程を更に備え、

前記ダミーゲート電極は、前記第四工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードのN⁺型層と、前記第五工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードのP⁺型層とが後工程で接続されるのを防止するものである、

請求項32又は33記載のESD保護装置の製造方法。

【請求項35】 前記第四工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードのN⁺型層と、前記第五工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードのP⁺型層とが後工程で接続されるのを防止する絶縁膜を形成する工程を更に備えた、

請求項32又は33記載のESD保護装置の製造方法。

【請求項36】 導電型の前記Pに代えてNとし、かつ導電型の前記Nに代えてPとした、

請求項32、33、34又は35記載のESD保護装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電気破壊(ESD: electrostatic discharge)から半導体集積回路を

保護するために、半導体集積回路チップ内に設けられるESD保護装置、及びその製造方法に関する。

【0002】

【従来の技術】従来のCMOSプロセスにおけるESD保護装置は、MOSFETの横型寄生バイポーラトランジスタを用いて、シリコン基板に対して横方向に電流を逃がして保護するものが一般的であった。一方、ESD保護装置は、半導体集積回路の微細化が急速に進展するにつれて、1チップに搭載されるピン数も急激に増大するため、更なる縮小化が求められている。

【0003】

【発明が解決しようとする課題】しかしながら、縮小化が進むほど、接合部の電流集中及び電界集中が増大するため、発熱によりESD保護装置が破壊されてしまうことがあった。そのためこれ以上のESD保護能力の向上には限界があった。また、近年、CMOSトランジスタのゲート絶縁膜が薄膜化が進んでいるため、ESD保護装置が動作する前にゲート絶縁膜が破壊されてしまうことがあった(図33参照)。そのため、より低電圧でトリガするESD保護装置が求められている。

【0004】

【発明の目的】そこで、本発明の目的は、縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも、より低電圧でトリガするESD保護装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】本発明に係るESD保護装置は、半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられるものである。そして、パッドに印加された過電圧によって降伏するダイオードを有するトリガ素子と、ダイオードの降伏によって導通することにより、パッドの蓄積電荷を放電する縦型バイポーラトランジスタを有するESD保護素子とを備えている(請求項1)。

【0006】縦型バイポーラトランジスタは、横型バイポーラトランジスタに比べて、同じ占有面積であるならば接合面積が大きくなるので、縮小化しても接合部での電流集中及び電界集中が起きにくい。一方、ダイオードは、不純物濃度等を変えることによって、所望の降伏電圧を簡単に設定できる。したがって、ダイオードの降伏電圧を縦型バイポーラトランジスタのトリガとすることにより、縮小化しても接合部での電流集中及び電界集中が起きにくく、かつ低電圧でトリガするESD保護装置が得られる。

【0007】本発明に係るESD保護装置の第一の具体例は、次のとおりである(請求項3)。パッドは、入力端子又は出力端子である。トリガ素子は、第一及び第二のダイオード並びに第一及び第二の抵抗からなる。ESD保護素子はNPN型の第一及び第二の縦型バイポーラトランジスタからなる。第一のダイオードは、カソード

がパッドに接続され、アノードが第一の縦型バイポーラトランジスタのベースに接続されている。第二のダイオードは、カソードが電源端子に接続され、アノードが第二の縦型バイポーラトランジスタのベースに接続されている。第一のダイオードのアノードとグランド端子との間には、第一の抵抗が接続されている。第二のダイオードのアノードとパッドとの間には、第二の抵抗が接続されている。第一の縦型バイポーラトランジスタは、コレクタがパッドに接続され、エミッタがグランド端子に接続されている。第二の縦型バイポーラトランジスタは、コレクタが電源端子に接続され、エミッタがパッドに接続されている。なお、第一のダイオード、第一の抵抗及び第一の縦型バイポーラトランジスタと、第二のダイオード、第二の抵抗及び第二の縦型バイポーラトランジスタとの少なくとも一方を備えていればよい（他の請求項でも同じ。）

【0008】本発明に係るESD保護装置の第二の具体例は、次のとおりである（請求項5）。パッドは電源端子である。縦型バイポーラトランジスタはNPN型である。ダイオードは、カソードがパッドに接続され、アノードが縦型バイポーラトランジスタのベースに接続されている。ダイオードのアノードとグランド端子との間には、抵抗が接続されている。縦型バイポーラトランジスタは、コレクタがパッドに接続され、エミッタがグランド端子に接続されている。

【0009】本発明に係るESD保護装置は、次の構成としてもよい（請求項11）。トリガ素子は、パッドに印加された過電圧によって降伏するダイオードとしてコレクタ及びベースが動作するとともに、当該ダイオードの降伏によって導通することによりパッドの蓄積電荷を放電する第一の縦型バイポーラトランジスタを有する。ESD保護素子は、ダイオードの降伏によって導通することにより、パッドの蓄積電荷を放電する第二の縦型バイポーラトランジスタを有する。

【0010】この場合の具体例は、次のとおりである（請求項12、13）。パッドは入力端子又は出力端子である。トリガ素子は、第一の縦型バイポーラトランジスタとして動作するNPN型の縦型バイポーラトランジスタA及び縦型バイポーラトランジスタBと、第一及び第二の抵抗とからなる。ESD保護素子は、第二の縦型バイポーラトランジスタとして動作するNPN型の縦型バイポーラトランジスタC及び縦型バイポーラトランジスタDからなる。縦型バイポーラトランジスタA、Cは、コレクタがパッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続されている。縦型バイポーラトランジスタA、Cのベースとグランド端子との間には、第一の抵抗が接続されている。縦型バイポーラトランジスタB、Dは、コレクタが電源端子に接続され、ベースが互いに接続され、エミッタがパッドに接続されている。縦型バイポーラトランジスタB、Dのベ

ースとパッドとの間には、第二の抵抗が接続されている（請求項12）。

【0011】パッドは電源端子である。第一及び第二の縦型バイポーラトランジスタは、NPN型であり、コレクタがパッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続されている。第一及び第二の縦型バイポーラトランジスタのベースとグランド端子との間には、抵抗が接続されている（請求項13）。

【0012】導電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項4、6、14、15）。PとNとを逆にしても、キャリアの種類が変わるだけであるので、当然のことながら同じ機能を実現できる。なお、縦型バイポーラトランジスタをPNP型とした場合は、ダイオードと抵抗との位置が相互に入れ替わる。

【0013】また、ダイオードは単数、又は複数のダイオードが直列に接続されたものであり、過電圧は当該ダイオードにとって順方向電圧であり、降伏は導通による実質的な降伏である、としてもよい（請求項2、7～10）。ダイオードの順方向降下電圧は、降伏電圧に比べれば、不純物濃度に依存しにくくかつ低電圧である。したがって、ダイオードを直列接続する数を選ぶことにより、所望の実質的な降伏電圧を精度良く設定することができる。

【0014】請求項11、12、13、14又は15記載のESD保護装置において、前記第一の縦型バイポーラトランジスタと前記第二の縦型バイポーラトランジスタとのコレクタ層は同時に形成されたものである、としてもよい（請求項16）。

【0015】請求項11、12、13、14又は15記載のESD保護装置において、第一の縦型バイポーラトランジスタと第二の縦型バイポーラトランジスタとのコレクタ層は共用化された同じものである、としてもよい（請求項17）。

【0016】請求項1、2、3、5、7、9、11、12又は13記載のESD保護装置において、縦型バイポーラトランジスタ又はダイオードは、P型シリコン基板表面に形成された第一のN⁻型ウェルと、この第一のN⁻型ウェルに接してP型シリコン基板表面に形成された第二のN⁻型ウェルと、この第二のN⁻型ウェル表面に形成された第二のN⁺層と、第一のN⁻型ウェル表面に形成されたP⁻型ウェルと、このP⁻型ウェル表面に互いに離れて形成されたP⁺層及び第一のN⁺層と、これらのP⁺層と第一のN⁺層との間に当該P⁺層と第一のN⁺層との電気的接続を防止するために付設された絶縁物との全部又は一部からなり、第二のN⁻型ウェルとP⁻型ウェルとが分離用絶縁物で絶縁され、P型シリコン基板とP⁻型ウェルとが分離用絶縁物で絶縁された、としてもよい（請求項18）。この場合、導電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項19）。

【0017】請求項18記載のESD保護装置において、 P^+ 層並びに第一及び第二の N^+ 層は、内部回路を構成するCMOSトランジスタの P^+ 層及び N^+ 層と同時に形成されるものである、としてもよい（請求項20）。請求項19記載のESD保護装置においても、これに準ずる（請求項21）。

【0018】請求項18記載のESD保護装置において、第二の N^- 型ウェルは、内部回路を構成するCMOSトランジスタの N^- 型ウェルと同時に形成されるものである、としてもよい（請求項22）。請求項19記載のESD保護装置においても、これに準ずる（請求項23）。

【0019】請求項18又は19記載のESD保護装置において、絶縁物は、内部回路を構成するCMOSトランジスタのゲート電極及びゲート絶縁膜と同時に形成されたダミーゲート電極、又は単なる絶縁膜である、としてもよい（請求項24）。このダミーゲート電極又は絶縁膜は、シリコン基板表面に対してリング状に形成された、としてもよい（請求項25）。

【0020】請求項1、2、3、5、7又は9記載のESD保護装置において、ダイオードは、P型シリコン基板表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間の前記P型シリコン基板表面から内部に形成された絶縁物とからなる、としてもよい（請求項26）。この場合、請求項1、2、4、6、8又は10記載のESD保護装置において、導電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項27）。

【0021】請求項1、2、3、5、7又は9記載のESD保護装置において、ダイオードは、P型シリコン基板表面に形成された N^- 型ウェルと、この N^- 型ウェル表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に互いに離れて形成された P^+ 層及び N^+ 層と、これらの P^+ 層と N^+ 層との間のP型シリコン基板表面に付設された絶縁物とからなり、P型シリコン基板と P^- 型ウェルとが分離用絶縁物で絶縁された、としてもよい（請求項28）。この場合、請求項1、2、4、6、8又は10記載のESD保護装置において、導電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項29）。

【0022】また、本発明に係るESD保護装置は、更に次の構成としてもよい（請求項30）。ダイオードは、シリコン基板表面に形成された P^- 型ウェルと、この P^- 型ウェル表面に互いに離れて形成された N^+ 層及び P^+ 層と、これらの N^+ 層と P^+ 層との間の P^- 型ウェル上に絶縁膜を介して設けられるとともにグランド端子に接続されたダミーゲート電極とからなる。この場合は、 N^+ 層とダミーゲート電極との間の電界が強くなるので、より低い電圧でトリガするようになる。なお、導

電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項31）。

【0023】本発明に係るESD保護装置の製造方法は、請求項1、3、4、5、6、11、12、13、14又は15記載のESD保護装置を製造する方法であって、次の工程を備えている（請求項32）。P型シリコン基板に対して、内部回路を構成するCMOSトランジスタの N^- 型ウェル、及び縦型バイポーラトランジスタのコレクタと接続することになるコレクタ接続用 N^- 型ウェルを同時に形成する工程①。P型シリコン基板に対して、縦型バイポーラトランジスタのコレクタとなるコレクタ N^- 型ウェル、及びダイオードの N^- 型ウェルを同時に形成する工程②。縦型バイポーラトランジスタのコレクタ N^- 型ウェル内にベースとなる P^- 型層、及びダイオードの N^- 型ウェル内にアノードとなる P^- 型層を同時に形成する工程③。CMOSトランジスタの P^- 型ウェルに N^+ 型層、縦型バイポーラトランジスタのコレクタ接続用 N^- 型ウェルに N^+ 型層、縦型バイポーラトランジスタの P^- 型層にエミッタとなる N^+ 型層、及びダイオードの P^- 型層にカソードとなる N^+ 型層を同時に形成する工程④。CMOSトランジスタの N^- 型ウェルに P^+ 型層、縦型バイポーラトランジスタの P^- 型層に P^+ 型層、及びダイオードの P^- 型層に P^+ 型層を同時に形成する工程⑤。この場合、請求項2、7、8、9又は10記載のESD保護装置を製造する方法は、アノードとカソードとが逆になる（請求項33）。

【0024】本発明に係るESD保護装置は、工程②及び③を除き、CMOSトランジスタの製造工程で同時に製造される。工程②及び③は、同じ部分に対するイオン注入であるので、通常のCMOSトランジスタの製造工程でマスクを1枚追加するだけでよい。

【0025】また、縦型バイポーラトランジスタのコレクタ N^- 型ウェル及びダイオードの N^- 型ウェルが工程②で形成される領域に、CMOSトランジスタのゲート電極と同時にダミーゲート電極を形成する工程を、更に備えものとしてもよい。ただし、ダミーゲート電極は、工程④で形成された縦型バイポーラトランジスタ及びダイオードの N^+ 型層と、工程⑤で形成された縦型バイポーラトランジスタ及びダイオードの P^+ 型層とが、後工程で接続されるのを防止するものである（請求項34）。

或いは、工程④で形成された縦型バイポーラトランジスタ及びダイオードの N^+ 型層と、第五工程で形成された縦型バイポーラトランジスタ及びダイオードの P^+ 型層とが、後工程で接続されるのを防止する絶縁膜を形成する工程を、更に備えたものとしてもよい（請求項35）。本発明に係るESD保護装置の製造方法においても、導電型のP及びNは、それぞれ逆導電型のN及びPとしてもよい（請求項36）。

【0026】換言すると、本発明は、静電気破壊（ESD）から半導体装置を保護する方法として、通常のCM

OSFET製造プロセスに互換性のある製造方法を用いて、低電圧で動作するトリガ素子と縦型バイポーラトランジスタとを形成し、静電気パルスが入出力パッド又は電源パッドに印加された時に、内部のMOSトランジスタのゲート絶縁膜が破壊しないよう低電圧でトリガ素子が動作し、そのトリガ電流によって、縦型バイポーラトランジスタを動作させ、大量の電荷をシリコン基板の縦方向に逃がすことで電流集中を防止し、高いESD耐量を得られることを特徴とするESD保護装置の構造とその製造方法である。

【0027】

【発明の実施の形態】図1乃至図3は本発明に係るESD保護装置の第一実施形態を示し、図1は回路図、図2は平面図、図3は図2におけるIII-III線縦断面図である。以下、これらの図面に基づき説明する。本実施形態のESD保護装置は、入力バッファ保護回路として動作するものである。

【0028】本実施形態のESD保護装置は、半導体集積回路チップの入力端子（入力パッド）6とCMOSトランジスタ100との間に設けられ、入力端子6に印加された過電圧によって降伏するダイオード311、312を有するトリガ素子310と、ダイオード311、312の降伏によって導通することにより、入力端子6の蓄積電荷を放電する縦型バイポーラトランジスタ211、212を有するESD保護素子210とを備えている。なお、図2及び図3では、ESD保護素子210の一部として縦型バイポーラトランジスタ211のみ、トリガ素子310の一部としてダイオード311のみを示す。

【0029】CMOSトランジスタ100は、NMOSトランジスタ101とPMOSトランジスタ102とからなるCMOSインバータである。ダイオード311は、カソードが入力端子6に接続され、アノードが縦型バイポーラトランジスタ211のベースに接続されている。ダイオード312は、カソードが電源端子7に接続され、アノードが縦型バイポーラトランジスタ212のベースに接続されている。ダイオード311のアノードとグランド端子8との間には、抵抗313が接続されている。ダイオード312のアノードと入力端子6との間には、抵抗314が接続されている。縦型バイポーラトランジスタ211、212は、どちらもNPN型である。縦型バイポーラトランジスタ211は、コレクタが入力端子6に接続され、エミッタがグランド端子8に接続されている。縦型バイポーラトランジスタ212は、コレクタが電源端子7に接続され、エミッタが入力端子6に接続されている。抵抗313、314は、同じ半導体集積回路チップ内に形成された単結晶シリコン、多結晶シリコン又は金属等からなる。

【0030】近年、ゲート絶縁膜の薄膜化が急速に進んでいるため、被保護素子であるCMOSトランジスタ1

00のゲート絶縁膜が破壊するより低い電圧でESD保護素子210が動作する必要がある。本実施形態では、ダイオード311、312の降伏電流であるトリガ電流が抵抗313、314を流れるときの電圧降下により、縦型バイポーラトランジスタ211、212のベース電位を上昇させて、縦型バイポーラトランジスタ211、212をオンにする。これにより、入力端子6に蓄えられた静電気による大量の電荷を、シリコン基板の縦方向に逃がす。したがって、電流集中を防ぐことができるので、大きなESD耐量を得ることができる。

【0031】縦型バイポーラトランジスタ211、212を備えたESD保護素子210及びダイオード311、312を備えたトリガ素子310の形成は、通常のCMOSFETの製造プロセスの中で、一枚のイオン注入マスクを追加するだけで実現できる。以下に、図2及び図3に基づき製造方法について説明する。

【0032】まず、ESD保護素子210について説明する。CMOSトランジスタ100のN⁺拡散層1と同時にコレクタ引き出し部10及びエミッタ11を形成し、CMOSトランジスタ100のP⁺拡散層2と同時にベース引き出し部12を形成する。エミッタ11とベース引き出し部12とのシリサイドを分離するために、CMOSトランジスタ100のゲート電極3と同時に形成されるダミーゲート電極13を用いている。ダミーゲート電極13は、電位を与えるものではなく、シリサイドを分離するためのものである。そして、追加のイオン注入用のマスクを用いてレジストに開口部50を形成し、イオン注入することにより、P⁻領域のベース16とコレクタNウェル17とを同時に形成する。このとき形成したコレクタNウェル17と別途形成したコレクタ引き出し部10とは、CMOSトランジスタ100のNウェル5と同時に形成する接続用Nウェル14を用いて接続する。これにより、CMOSプロセスを利用して縦型バイポーラトランジスタを形成できる。なお、このときのイオン注入は、ゲート電極3形成の前でも後でもよい。

【0033】トリガ素子310について説明する。N⁺P⁻型のダイオードは、ESD保護素子210のエミッタ11及びベース16と同じ構造で、CMOSトランジスタ100のN⁺拡散層1と同時にN⁺部21を、CMOSトランジスタ100のP⁺拡散層2と同時にP⁻部26の引き出し部22を形成する。これにより、所望のトリガ電圧及び逆方向リークレベルを設定できるようになる。

【0034】図4乃至図6は本実施形態のESD保護装置の製造方法を示す断面図である。以下、図3乃至図6に基づき、本実施形態のESD保護装置の製造方法を詳しく説明する。

【0035】まず、図4に示すように、CMOSトランジスタ100のNウェル5形成と同時に、ESD保護素

10

20

30

40

50

子210のコレクタ引き出し部10との接続用Nウエル14を形成する。この領域のドーピング濃度は、約 $10^{17} \text{ cm}^{-3} \sim 10^{18} \text{ cm}^{-3}$ である。また、CMOSトランジスタ100のゲート電極3の形成と同時に、ESD保護素子210のダミーゲート電極13、及びトリガ素子310のダミーゲート電極23を形成する。これは、ESD保護素子210のエミッタ11とベース引き出し部12とが、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子310の N^+ 部21と引き出し部22とが、後でシリサイドにより接続されるのを防止するためである。

【0036】続いて、図5に示すように、所定形状のレジストの開口部50をマスクとして、ESD保護素子210のベース16を形成するためのイオン注入を約 10^{18} cm^{-3} で行い、続いて、コレクタNウエル17を形成するためのイオン注入を約 10^{18} cm^{-3} で行う。このとき、トリガ素子310の P^- 部26及びNウエル27も同時に形成される。

【0037】続いて、図6に示すように、CMOSトランジスタ100の N^+ 拡散層1の形成と同時に、コレクタ引き出し部10、エミッタ11、 N^+ 部21等を形成する。

【0038】続いて、図3に示すように、CMOSトランジスタ100の P^+ 拡散層2と同時に、ベース引き出し部12、引き出し部22等を形成する。最後に、これらの上層に配線を形成することにより、図1に示す回路を形成する。

【0039】次に、本実施形態のESD保護装置の動作を、図1及び図3に基づき説明する。

【0040】入力端子6に対して静電気パルスが印加された時の動作を説明する。まず、グランド端子8に対して正のESDのパルスが入力端子6に印加された時、ESD保護素子210、トリガ素子310、そしてCMOSトランジスタ100のゲート絶縁膜に高電圧が印加される。そのため、CMOSトランジスタ100のゲート絶縁膜が破壊する前に、ESD保護素子210が動作することにより、ESDによる電荷を速やかに逃がす必要がある。

【0041】CMOSトランジスタ100のゲート絶縁膜が4nmであるとすると、定電圧によるストレスでは約8Vでゲート絶縁膜は破壊してしまう。つまり、これより低い電圧でESD保護素子210が動作する必要がある。しかし、縦型バイポーラトランジスタであるESD保護素子210を形成した場合、コレクタNウエル17とベース16との間の耐圧は10V程度あるので、これだけではゲート絶縁膜が薄い微細なCMOSトランジスタ100を保護することはできない。

【0042】そこで、電源電圧以上のなるべく低い電圧で動作するトリガ素子310が必要になる。トリガ素子

310は、 P^- 部26をイオン注入によって形成しているため、そのドーピング量を制御することで所望のトリガ電圧又は逆方向のリークレベルを設定することができ、4V程度のトリガ電圧を得ることはたやすい。

【0043】図7に、パッドにESDの静電パルスが印加されたときの電流電圧特性を示す。まず4V程度でトリガ素子310が動作すると、そのトリガ電流及び抵抗313がESD保護素子210のベース電位を上昇させて、ESD保護素子210を動作させる。ESD保護素子210が動作すると、ESDにより入力端子6に印加された電荷を縦型バイポーラトランジスタ211を使って、グランド端子8に逃がすことができる。このため、内部回路のCMOSトランジスタ100のゲート絶縁膜の耐圧が8Vとすると、それより低い電圧で電荷を逃がすことができるので、ゲート絶縁膜の破壊を防止できる。

【0044】また、グランド端子8に対して負のESDのパルスが入力端子6に印加された時は、図3に示すESD保護素子210のコレクタNウエル17とP基板51とが、 N^+P^- の順方向になるため、速やかに電荷を逃がすことができる。

【0045】図8に、本実施形態のESD保護装置を用いた場合と、従来のMOSトランジスタの横型寄生バイポーラトランジスタを用いた場合との、単位長さあたりの破壊電流値を示す。本実施形態の縦型バイポーラトランジスタからなるESD保護素子の破壊電流値は、横型バイポーラトランジスタのものより大きい。また、内部のゲート絶縁膜厚が2nm程度に薄くなると、横型バイポーラトランジスタは破壊電流値が急激に減少するが、縦型バイポーラトランジスタにおいてはその減少は僅かである。

【0046】図9は、本発明に係るESD保護装置の第二実施形態を示す回路図である。以下、この図面に基づき説明する。本実施形態のESD保護装置は、電源保護回路として動作するものである。

【0047】本実施形態のESD保護装置は、半導体集積回路チップの電源端子（電源パッド）7と内部回路103との間に設けられ、電源端子7に印加された過電圧によって降伏するダイオード316を有するトリガ素子315と、ダイオード316の降伏によって導通することにより、電源端子7の蓄積電荷を放電する縦型バイポーラトランジスタ214を有するESD保護素子213とを備えている。

【0048】ダイオード316は、カソードが電源端子7に接続され、アノードが縦型バイポーラトランジスタ214のベースに接続されている。ダイオード316のアノードとグランド端子8との間には、抵抗317が接続されている。縦型バイポーラトランジスタ214は、NPN型であり、コレクタが電源端子7に接続され、エミッタがグランド端子8に接続されている。

【0049】平面図及び断面図は、符号を除き図2及び図3と同じである。したがって、本実施形態のESD保護装置も、第一実施形態と同等の作用及び効果を奏する。

【0050】図10乃至図15は本発明に係るESD保護装置の第三実施形態を示し、図10は平面図、図11は図10におけるXI-XI線縦断面図、図12乃至図15は製造方法を示す断面図である。以下、これらの図面に基づき説明する。ただし、図2乃至図6と同じ部分は同じ符号を付すことにより説明を省略する。

【0051】本実施形態のESD保護装置は、シリサイド分離用のダミーゲート電極13、23（図2及び図3）に代えて、抵抗素子形成用などにシリサイドが形成されないよう拡散層上を覆う絶縁膜18、28（SiO₂又はSi₃N₄など）を用いた場合である。

【0052】まず、図12に示すように、CMOSトランジスタ100のNウェル5の形成と同時に、ESD保護素子200のコレクタ引き出し部10との接続用Nウェル14を形成する。

【0053】続いて、図13に示すように、所定形状のレジストの開口部50をマスクとして、ESD保護素子200のベース16を形成するためのイオン注入を行い、続いて、コレクタNウェル17を形成するためのイオン注入を行う。このとき、トリガ素子300のP⁻部26及びNウェル27も同時に形成される。

【0054】続いて、図14に示すように、CMOSトランジスタ100のN⁺拡散層1の形成と同時に、コレクタ引き出し部10、エミッタ11、N⁺部21等を形成する。

【0055】続いて、図15に示すように、CMOSトランジスタ100のP⁺拡散層2と同時に、ベース引き出し部12、引き出し部22等を形成する。

【0056】続いて、図11に示すように、ESD保護素子200において絶縁膜18、及びトリガ素子310において絶縁膜28を形成する。これは、ESD保護素子200のエミッタ11とベース引き出し部12とが、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子300のN⁺部21と引き出し部22とが、シリサイドで接続されるのを防止するためである。

【0057】最後に、これらの上層で配線を形成することにより、図1に示す回路を形成する。

【0058】図16乃至図18は本発明に係るESD保護装置の第四実施形態を示し、図16は回路図、図17は平面図、図18は図17におけるXVIII-XVIII線縦断面図である。以下、これらの図面に基づき説明する。本実施形態のESD保護装置は、トリガ素子もまたESD保護素子の縦型バイポーラトランジスタとして動作させるものである。

【0059】本実施形態のESD保護装置は、半導体集

積回路チップの電源端子（電源パッド）7と内部回路103との間に設けられ、電源端子7に印加された過電圧によって降伏するダイオード402を有するトリガ素子400と、ダイオード402の降伏によって導通することにより、電源端子7の蓄積電荷を放電する縦型バイポーラトランジスタ201を有するESD保護素子200とを備えている。

【0060】ダイオード402は、縦型バイポーラトランジスタ401のコレクタベース間である。ダイオード402のカソードすなわち縦型バイポーラトランジスタ401のコレクタは電源端子7に接続され、ダイオード402のアノードすなわち縦型バイポーラトランジスタ401のベースが縦型バイポーラトランジスタ201のベースに接続されている。ダイオード402のアノードすなわち縦型バイポーラトランジスタ401のベースとグランド端子8との間には、抵抗403が接続されている。縦型バイポーラトランジスタ201、402は、NPN型であり、コレクタが電源端子7に接続され、エミッタがグランド端子8に接続されている。

【0061】本実施形態では、トリガ素子400にもエミッタ引き出し部40を設け、図16及び図18のように接続する。このように接続すると、トリガ素子400にも縦型バイポーラトランジスタ401が形成されるので、トリガ素子400がESD保護素子としても動作することになる。トリガ素子400のN⁺部（コレクタ）41とP⁻部（ベース）46とからなるダイオード402のトリガ電流及び抵抗403によって、縦型バイポーラトランジスタ201、401のベース電位が上昇し、これらが共に動作することにより、電源端子7の静電気による電荷を両方で逃がすことができる。なお、本実施形態のESD保護装置は、電源パッドに適用させているが、第一実施形態と同じように二個設けることにより入力パッド又は出力パッドに適用させてもよい。

【0062】図19及び図20は本実施形態のESD保護装置の製造方法を示す断面図である。以下、図18乃至図20に基づき、本実施形態のESD保護装置の製造方法を詳しく説明する。

【0063】まず、CMOSトランジスタ100のNウェル5の形成と同時に、ESD保護素子200のコレクタ引き出し部10との接続用Nウェル14、及びトリガ素子400のエミッタ接続用Nウェル44を形成する。

【0064】続いて、図19に示すように、所定形状のレジストの開口部50をマスクとして、ESD保護素子200のベース16を形成するためのイオン注入を行い、続いてコレクタNウェル17を形成するためのイオン注入を行う。このとき、トリガ素子400のP⁻部46及びエミッタNウェル47も同時に形成される。

【0065】続いて、図20に示すように、CMOSトランジスタのN⁺拡散層1の形成と同時に、ESD保護素子200のコレクタ引き出し部10及びエミッタ1

1、並びにトリガ素子400のエミッタ引き出し部40及びコレクタ41を形成する。続いて、CMOSトランジスタ100のP⁺拡散層2と同時に、ベース引き出し部12、及びトリガ素子400のベースとなるP⁻部46の引き出し部42を形成する。

【0066】続いて、ESD保護素子200の絶縁膜18及びトリガ素子400の絶縁膜48を形成する。これは、ESD保護素子200のエミッタ11とベース引き出し部12が、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子400のN⁺部41と引き出し部42とも、シリサイドで接続されるのを防止するためである。

【0067】最後に、これらの上層で配線を形成することにより、図16の回路を形成する。

【0068】図21及び図22は本発明に係るESD保護装置の第五実施形態を示し、図21は平面図、図22は図21におけるXXII-XXII線縦断面図である。以下、これらの図面に基づき説明する。本実施形態のESD保護装置は、面積を縮小するために、ESD保護素子のコレクタを共通化したものである。

【0069】本実施形態におけるESD保護素子230は、図10及び図11に示す第三実施形態におけるESD保護素子200の二つのコレクタNウェル17を共通化して、一つのコレクタNウェル17'としたものである。そして、コレクタNウェル17'の両端のみでコレクタ引き出し部10を用いることにより、面積縮小を図っている。また、本実施形態のESD保護装置の製造方法は、図12乃至図15に示す第三実施形態と同じである。

【0070】図23及び図24は本発明に係るESD保護装置の第六実施形態を示し、図23は平面図、図24は図23におけるXXIV-XXIV線縦断面図である。以下、これらの図面に基づき説明する。本実施形態のESD保護装置は、面積を縮小するために、ESD保護素子及びトリガ素子を共通化したものである。

【0071】本実施形態におけるESD保護素子240及びトリガ素子310は、図10及び図11に示す第三実施形態におけるESD保護素子200及びトリガ素子300の二つのベース16及びP⁻部26を共通化して一つのベース16'とするとともに、第三実施形態におけるESD保護素子200及びトリガ素子300の二つのコレクタNウェル17及びNウェル27を共通化して一つのコレクタNウェル19としたものである。そして、ESD保護素子240のコレクタ引き出し部10を、その両端のみとすることにより、面積縮小を図っている。また、本実施形態のESD保護装置の製造方法は、図12乃至図15に示す第三実施形態と同じである。

【0072】図25は本発明に係るESD保護装置の第七実施形態を示す縦断面図である。以下、この図面に基づ

づき説明する。本実施形態のESD保護装置は、より低い電圧でトリガ可能なトリガ素子としたものである。

【0073】本実施形態におけるESD保護装置は、トリガ素子310のダミーゲート電極23がグラウンドに固定されている点を除き、第一実施形態と同じである。トリガ素子310のダミーゲート電極23をグラウンドに固定すると、N⁺部21とダミーゲート電極23との間の電界が強くなるので、より低い電圧でトリガするようになる。

10 【0074】図26及び図27は本発明に係るESD保護装置の第八実施形態を示し、図26は回路図、図27は縦断面図である。以下、これらの図面に基づき説明する。ただし、図1及び図3と同じ部分は同じ符号を付すことにより説明を省略する。本実施形態のESD保護装置は、入力バッファ保護回路として動作するものである。

20 【0075】本実施形態のESD保護装置は、半導体集積回路チップの入力端子（入力パッド）6とCMOSトランジスタ100との間に設けられ、入力端子6に印加された過電圧によって降伏するダイオード511、512を有するトリガ素子510と、ダイオード511、512の降伏によって導通することにより、入力端子6の蓄積電荷を放電する縦型バイポーラトランジスタ211、212を有するESD保護素子210とを備えている。そして、ダイオード511、512は複数のダイオードが直列に接続されたものであり、過電圧はダイオード511、512にとって順方向電圧であり、降伏は導通による実質的な降伏である。なお、ダイオード511、512は、図26では四個のダイオードが直列に接続されたものとして示しているが、図27では二個のダイオードが直列に接続されたものとして便宜上簡略化して示している。

30 【0076】ダイオード511は、カソードが縦型バイポーラトランジスタ211のベースに接続され、アノードが入力端子6に接続されている。ダイオード512は、カソードが縦型バイポーラトランジスタ212のベースに接続され、アノードが電源端子7に接続されている。ダイオード511のカソードとグラウンド端子8との間には、抵抗313が接続されている。ダイオード512のカソードと入力端子6との間には、抵抗314が接続されている。

40 【0077】縦型バイポーラトランジスタ211、212は、第一実施形態と同じものを用いる。ダイオード511、512は、通常のCMOSプロセス時に形成されるN⁺拡散層1、P⁺拡散層2及びNウェル5などで形成する。

50 【0078】第一実施形態では、トリガ素子に逆方向ダイオードのブレークダウンを利用していた。これに対し、本実施形態では、順方向ダイオードを電源電圧以上になるように多段接続したトリガ素子510を用いてい

る。

【0079】特に1.5V以下の低電圧動作デバイスは、極薄のゲート絶縁膜有するため、5V以上の印加によって破壊されてしまう。この電圧領域におけるゲート絶縁膜破壊を防止できる低電圧トリガを実現するのに、本実施形態は有効である。また、本実施形態では、電源電圧に応じてダイオードの直列接続の段数を変えることにより、所望のトリガ電圧を確保できる。

【0080】図28は、逆方向のダイオードの降伏を利用したトリガ素子と順方向のダイオードを直列に多段接続したトリガ素子との、特性の比較結果を示すグラフである。以下、この図面に基づき説明する。

【0081】逆方向の降伏を利用したものは、5V以下のトリガを行おうとした場合、接合の濃度を濃くすることで若干の低電圧化が可能であるが、同時に降伏前にツェナリークが増大してしまうため、通常のLSI動作時のオフリークが増大してしまう欠点がある。そのため、これ以上の降伏電圧の降下は難しい。そこで、順方向のダイオードを多段に接続したトリガ素子を用いて縦型バイポーラトランジスタのベースに電流を供給することにより、より低電圧でトリガするESD保護素子を実現できる。

【0082】図29は、本実施形態のESD保護装置における、パッドにESDの静電パルスが印加されたときの電流電圧特性を示すグラフである。以下、この図面に基づき説明する。

【0083】ダイオード1段分のトリガ電圧を V_f （約0.6V）とすると、四段を直列に接続したダイオードのトリガ電圧は $V_f \times 4 = \text{約} 2.4\text{V}$ となる。パッドにESDのサージが印加され2.4Vを越えると、この順方向直列ダイオードが導通して縦型バイポーラトランジスタのベースに電流を注入する。このトリガ電流によって、高駆動力の保護素子である縦型バイポーラトランジスタが動作し、ESDのチャージを放電する。

【0084】近年、1.2V程度の低電圧動作のCMOSデバイスにおいては、約2.5nm厚以下の極薄のゲート絶縁膜が用いられている。このゲート絶縁膜の破壊耐圧は、約4~5Vである。このような場合には、順方向ダイオードを直列に多段接続することにより、CMOS内部回路の電源電圧よりも大きくなるようにトリガ電圧を設定することで、LSIの実動作中に誤動作を起こすことなく、ゲート絶縁膜の破壊耐圧以下でESD放電のトリガを行うことが可能となる。

【0085】図30は、本発明に係るESD保護装置の第九実施形態を示す回路図である。以下、この図面に基づき説明する。本実施形態のESD保護装置は、電源保護回路として動作するものである。

【0086】本実施形態のESD保護装置は、半導体集積回路チップの電源端子（電源パッド）7と内部回路103との間に設けられ、電源端子7に印加された過電圧

によって降伏するダイオード516を有するトリガ素子515と、ダイオード516の降伏によって導通することにより、電源端子7の蓄積電荷を放電する縦型バイポーラトランジスタ214を有するESD保護素子213とを備えている。そして、ダイオード516は複数のダイオードが直列に接続されたものであり、過電圧はダイオード516にとって順方向電圧であり、降伏は導通による実質的な降伏である。

【0087】ダイオード516は、カソードが縦型バイポーラトランジスタ214のベースに接続され、アノードが電源端子7に接続されている。ダイオード516のカソードとグランド端子8との間には、抵抗317が接続されている。縦型バイポーラトランジスタ214は、NPN型であり、コレクタが電源端子7に接続され、エミッタがグランド端子8に接続されている。

【0088】断面図は図27に準ずる。したがって、本実施形態のESD保護装置も、第八実施形態と同等の作用及び効果を奏する。

【0089】図31は、本発明に係るESD保護装置の第十実施形態を示す断面図である。以下、この図面に基づき説明する。なお、本実施形態のESD保護装置の回路図は、第八実施形態と同じである（図26）。

【0090】本実施形態では、トリガ素子510として、縦型バイポーラトランジスタを形成するときと同時に形成されるダイオードを順方向に直列接続して利用する。図27に示す第八実施形態では、P+層2/Nウェル5からなるダイオードを用いている。これに対し、本実施形態では、縦型バイポーラトランジスタ形成時に作り込まれるN+層521/P-層526からなるダイオードを用いる。ESDチャージ放電時のような高電流領域ではウェルの抵抗が支配的であり、この抵抗が放電能力を決定する。

【0091】図27に示すP+層2/Nウェル5からなるダイオードは、分離帯の下を電流が流れるため抵抗が大きくなる。それに比べて、本実施形態では、P+層522/N+層521間の分離を縦型バイポーラトランジスタ形成時のダミーゲート523で行い、かつ縦型バイポーラトランジスタの追加注入によりP-層526の濃度の調整が可能であるため、ダイオードの高電流領域での低抵抗化が可能である。

【0092】また、図27に示すP+層2/Nウェル5からなるダイオードでは、P+層2/Nウェル5/P基板51からなる寄生縦方向バイポーラトランジスタが形成されてしまうため、P基板51に流れる電流が発生する。そのために、保護素子である縦型バイポーラトランジスタのベースに供給される電流が減少してしまう。しかし、本実施形態では、N+層521/P-層526からなるダイオードは、ESD保護素子210のコレクタ層17と同時に形成されるNウェル527が存在するため、縦方向に流れる電流を阻止することができるので、

ESD保護素子210のベースに高効率に電流を供給することができる(図32参照)。したがって、本実施形態によれば、縦型バイポーラトランジスタのベースにトリガ電流を高効率で供給することができるので、トリガ素子のサイズを縮小することができる。

【0093】なお、本発明は、言うまでもなく、上記第一乃至第十実施形態に限定されるものではない。例えば、P型とあるのをN型、かつN型とあるのをP型としてもよい。したがって、NPN型とあるのを、それぞれのN型及びP型を逆導電型にしてPNP型としてもよい。

【0094】

【発明の効果】本発明に係るESD保護装置によれば、ダイオードの降伏電圧を縦型バイポーラトランジスタのトリガとしたことにより、縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも低電圧でトリガする特性を容易に実現できる。本発明に係るESD保護装置の製造方法によれば、通常のCMOSプロセスにマスクを1枚追加するだけで、本発明に係るESD保護装置を容易に製造できる。

【0095】換言すると、本発明の効果は次のとおりである。第1の効果は、縦型バイポーラトランジスタを使って、縦方向に電流を逃がすことにより、従来のCMOSFETの寄生バイポーラトランジスタを使用した横方向に電流を流すものに比べて、電流集中が少ないため、ESD保護素子自身が破壊しにくい。第2の効果は、同じ面積で放電できる電流が大きいので、ESD保護素子のために必要な面積を縮小できるので、高速動作のために必要である入力容量の低減が可能である。第3の効果は、BiCMOSプロセスを用いることなく、一般的なCMOSFETのプロセスに、ESD保護回路のためのイオン注入マスクを1枚追加するだけで、縦型バイポーラトランジスタ及びトリガ素子を形成できるので、CMOSFET互換プロセスで製造できる。第4の効果は、低電圧で動作するトリガ素子を有しているため、CMOSFETのゲート絶縁膜の破壊を防止できる。第5の効果は、所望の電圧でトリガする素子を形成することが可能である。

【図面の簡単な説明】

【図1】本発明に係るESD保護装置の第一実施形態を示す回路図である。

【図2】図1のESD保護装置の平面図である。

【図3】図2におけるIII-III線縦断面図である。

【図4】図2及び図3のESD保護装置の製造方法を示す断面図である。

【図5】図2及び図3のESD保護装置の製造方法を示す断面図である。

【図6】図2及び図3のESD保護装置の製造方法を示す断面図である。

【図7】図1のESD保護装置における、パッドにES

Dの静電パルスが印加されたときの電流電圧特性を示すグラフである。

【図8】図1のESD保護装置を用いた場合と、従来のMOSトランジスタの横型寄生バイポーラトランジスタを用いた場合との、単位長さあたりの破壊電流値を示すグラフである。

【図9】本発明に係るESD保護装置の第二実施形態を示す回路図である。

【図10】本発明に係るESD保護装置の第三実施形態を示す平面図である。

【図11】図10におけるXI-XI線縦断面図である。

【図12】図10及び図11のESD保護装置の製造方法を示す断面図である。

【図13】図10及び図11のESD保護装置の製造方法を示す断面図である。

【図14】図10及び図11のESD保護装置の製造方法を示す断面図である。

【図15】図10及び図11のESD保護装置の製造方法を示す断面図である。

【図16】本発明に係るESD保護装置の第四実施形態を示す回路図である。

【図17】図16のESD保護装置を示す平面図である。

【図18】図17におけるXVIII-XVIII線縦断面図である。

【図19】図16のESD保護装置の製造方法を示す断面図である。

【図20】図16のESD保護装置の製造方法を示す断面図である。

【図21】本発明に係るESD保護装置の第五実施形態を示す平面図である。

【図22】図21におけるXXII-XXII線縦断面図である。

【図23】本発明に係るESD保護装置の第六実施形態を示す平面図である。

【図24】図23におけるXXIV-XXIV線縦断面図である。

【図25】本発明に係るESD保護装置の第七実施形態を示す断面図である。

【図26】本発明に係るESD保護装置の第八実施形態を示す回路図である。

【図27】図26のESD保護装置の縦断面図である。

【図28】逆方向のダイオードの降伏を利用したトリガ素子と順方向のダイオードを直列に多段接続したトリガ素子との、特性の比較結果を示すグラフである。

【図29】図26のESD保護装置における、パッドにESDの静電パルスが印加されたときの電流電圧特性を示すグラフである。

【図30】本発明に係るESD保護装置の第九実施形態を示す回路図である。

【図31】本発明に係るESD保護装置の第十実施形態を示す断面図である。

【図32】図32(a)は、第八実施形態における、既存のCMOSプロセスで作成したP+層/Nウェルからなるダイオードを示す断面図である。図32(b)は、第十実施形態における、縦型バイポーラトランジスタの一部分を利用したダイオードを示す断面図である。

【図33】従来技術における、パッドにESDの静電パルスが印加されたときの電流電圧特性を示すグラフである。

【符号の説明】

6 入力端子(パッド)

7 電源端子(パッド)

8 グランド端子(パッド)

311, 312, 316, 402, 511, 512, 5

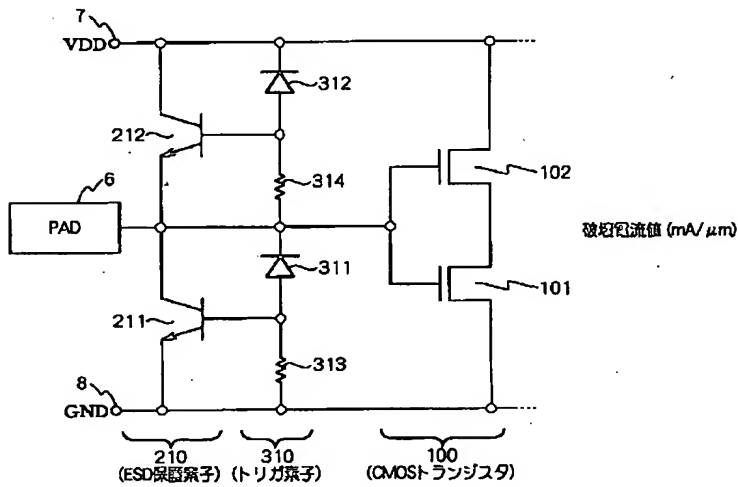
16 ダイオード

300, 310, 315, 400, 510, 515 トリガ素子

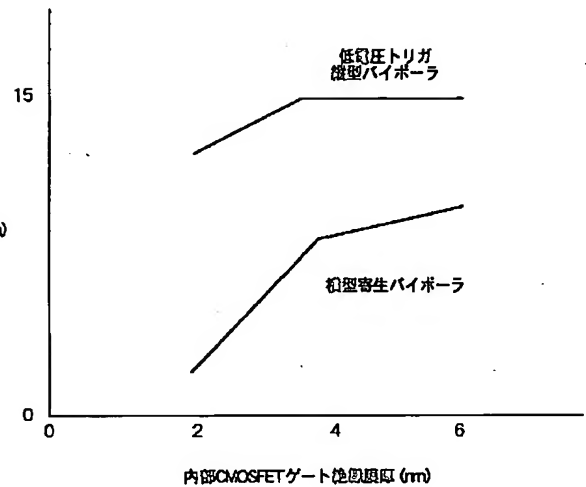
201, 211, 212, 214 縦型バイポーラトランジスタ

10 200, 210, 213, 230, 240 ESD保護素子

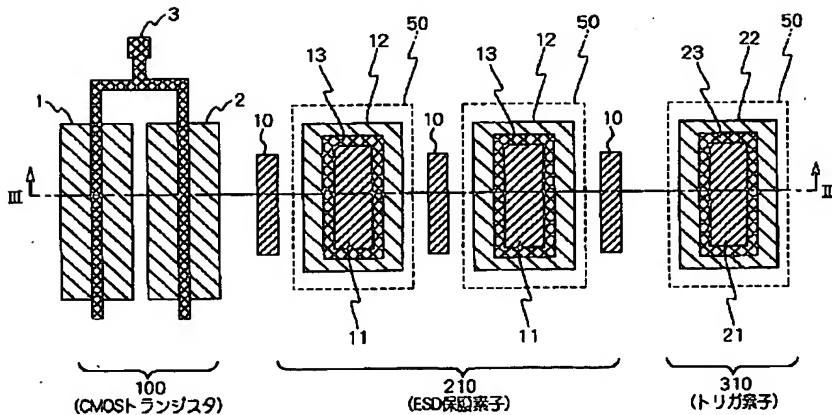
【図1】



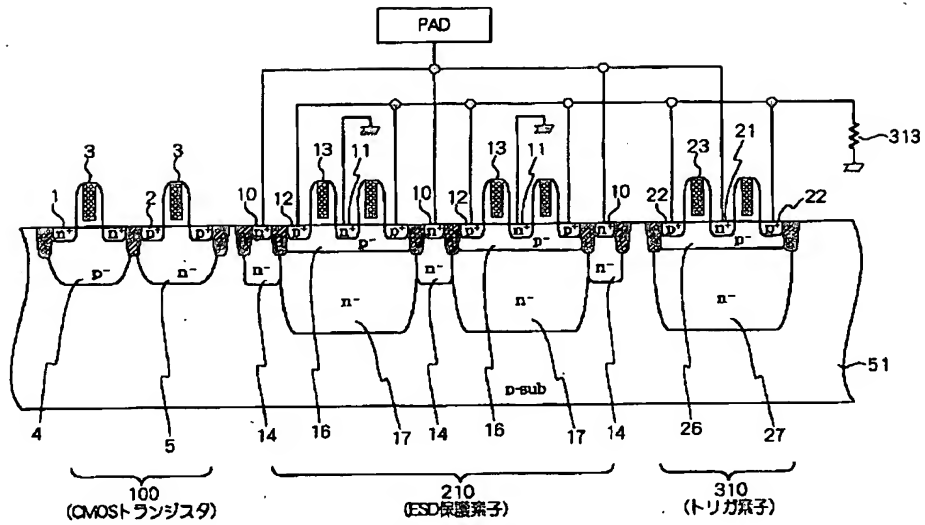
【図8】



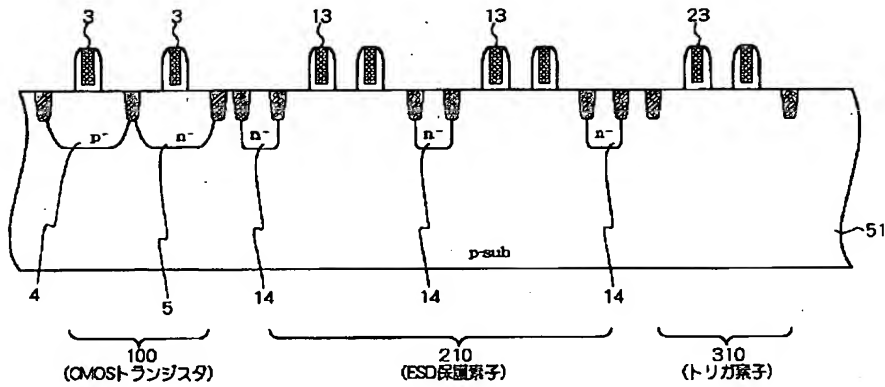
【図2】



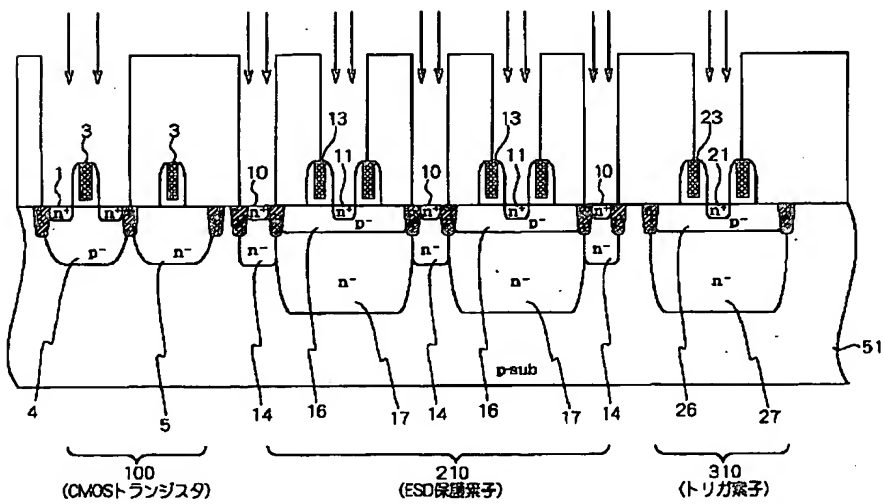
【図3】



【図4】



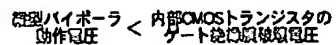
【図6】



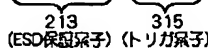
【図 5】



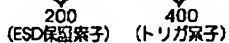
【图 7】



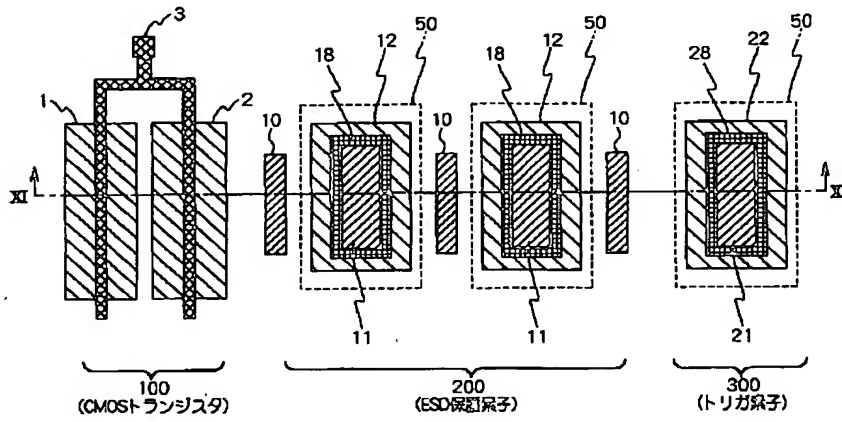
【图 9】



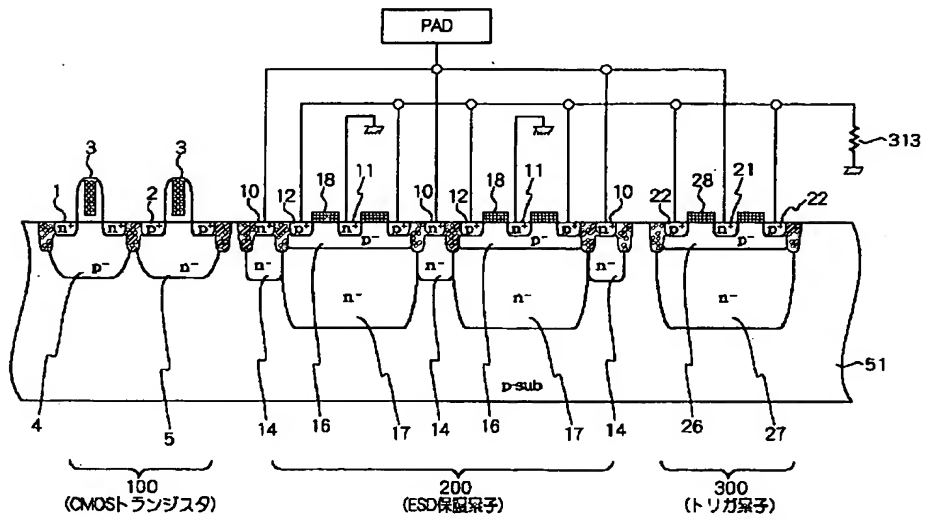
【图 16】



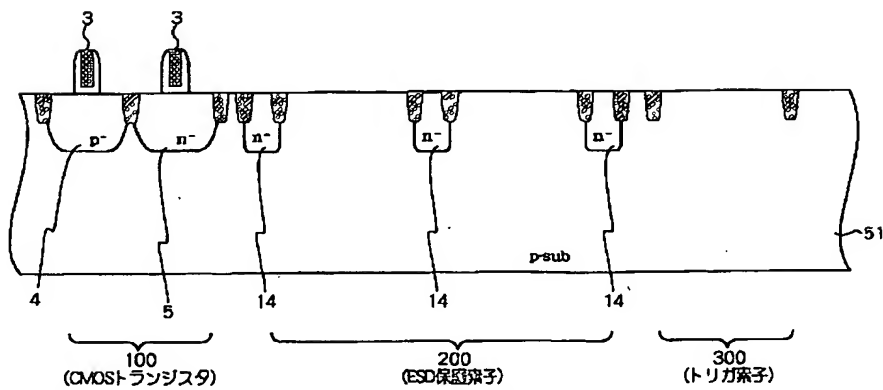
【図 10】



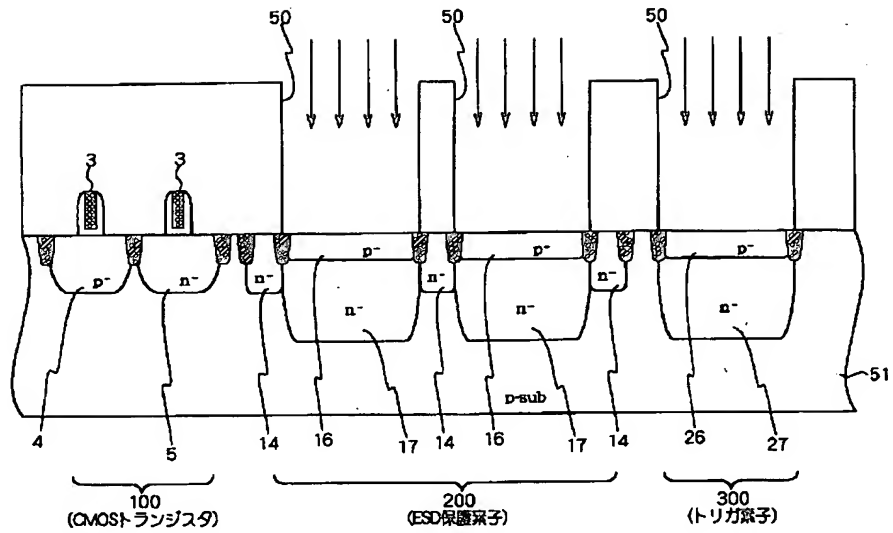
【図 11】



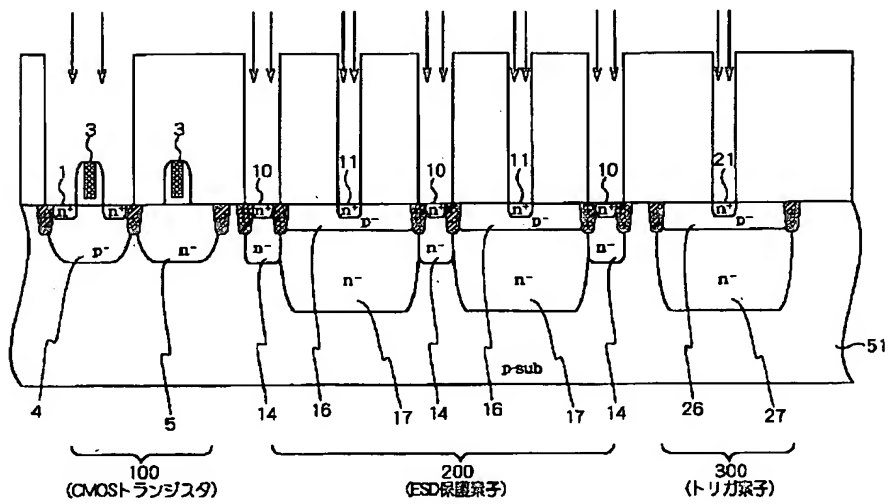
【図 12】



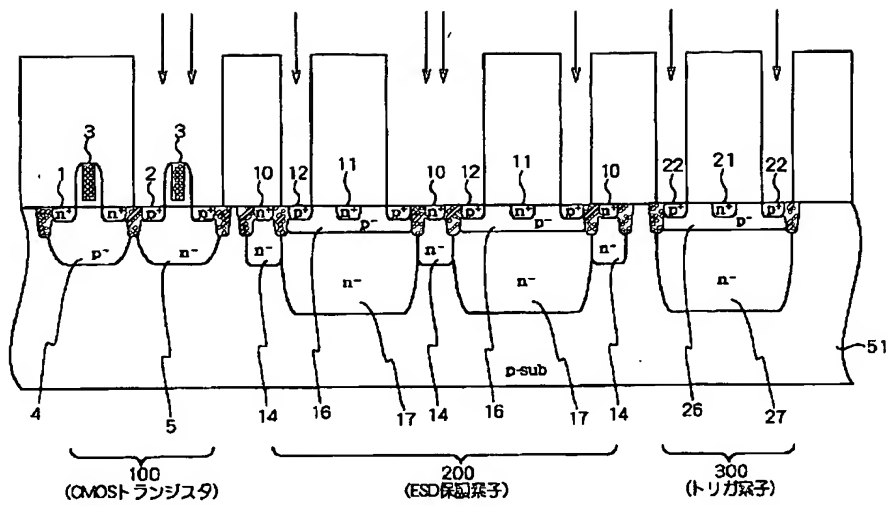
【図 13】



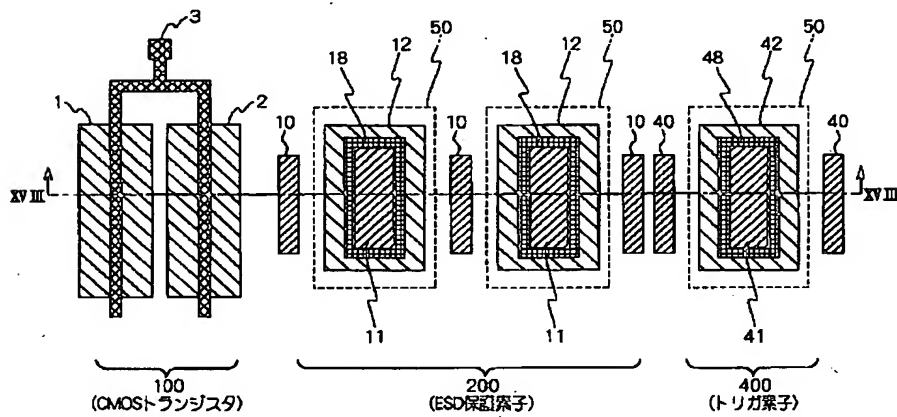
【図 14】



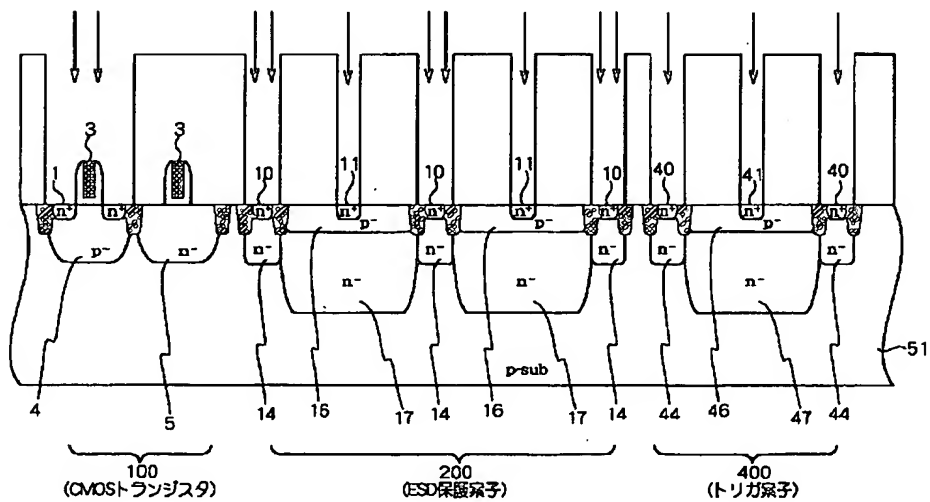
【図 15】



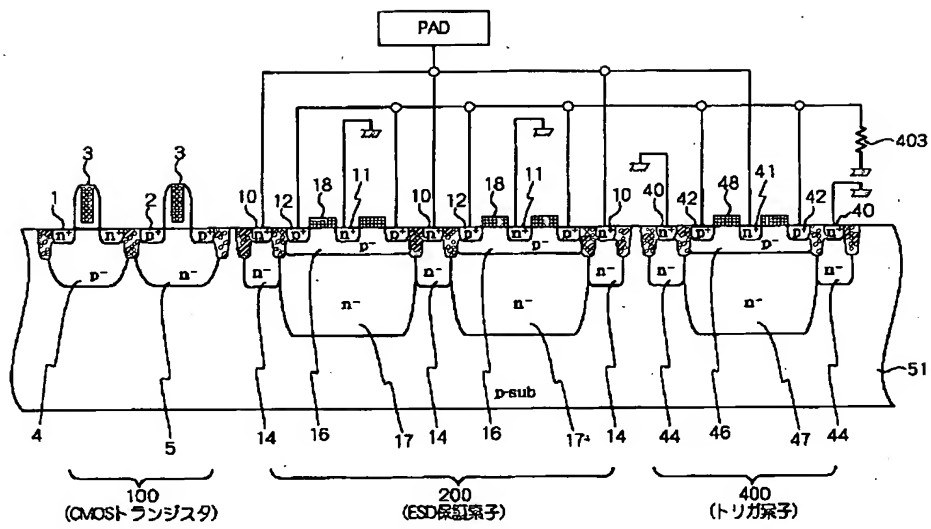
【図 17】



【図 20】



【図 18】



【図 19】

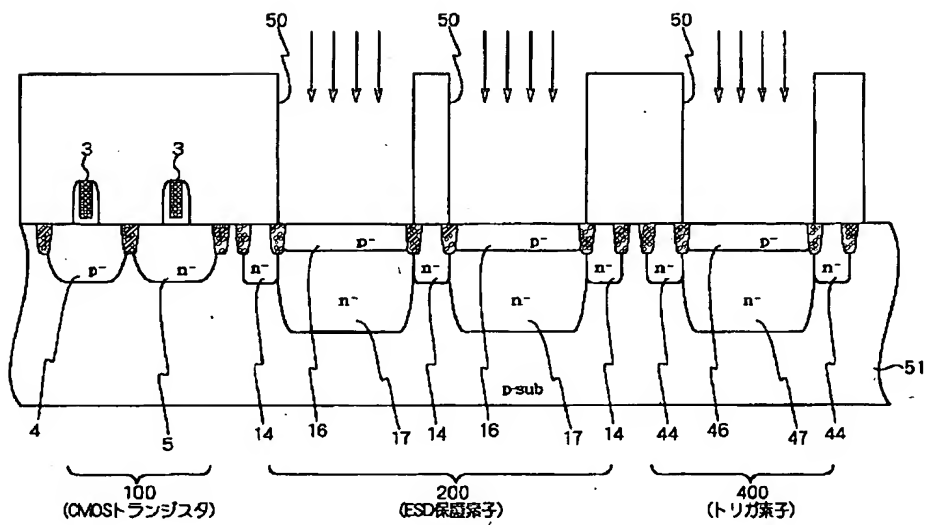


Figure 1 shows three cross-sectional views of semiconductor devices. (a) CMOS transistor (100) shows a gate stack (3) on a substrate (1) with a channel region (2). (b) ESD protection device (230) shows a gate stack (12) on a substrate (10) with a channel region (11) and a source/drain region (18). (c) Tri-gate device (300) shows a gate stack (22) on a substrate (10) with a channel region (21) and a source/drain region (28). The devices are labeled 100 (CMOSトランジスタ), 230 (ESD保護素子), and 300 (トリガ素子) respectively.

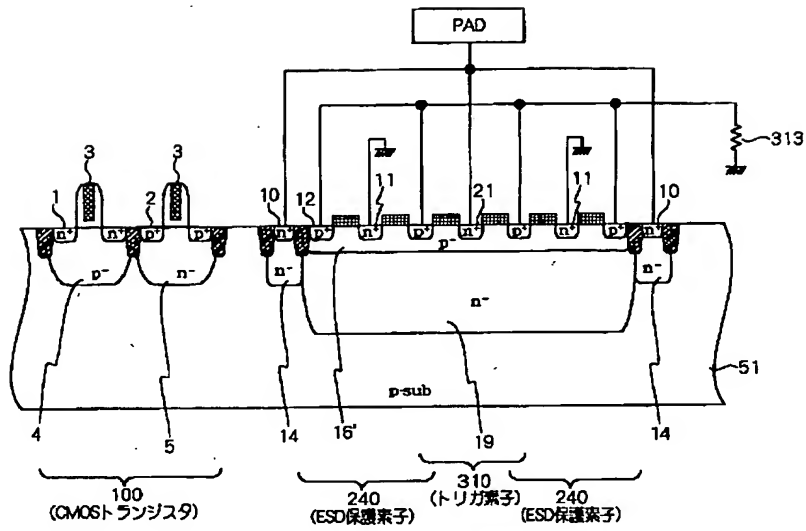
100 (CMOSトランジスタ)

230 (ESD保護素子)

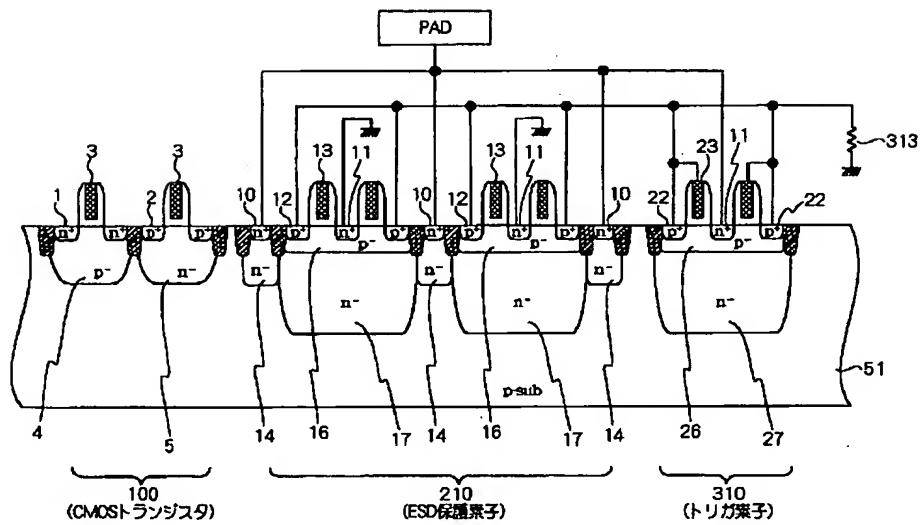
300 (トリガ素子)

The diagram shows a cross-section of a semiconductor device along the X-Y axis. It consists of two main parts: 100 (CMOSTランジスタ) on the left and 310 (トリガ線子) in the center. Part 100 includes a substrate 1, a gate stack 2, and a contact pad 3. Part 310 is enclosed in a dashed box and contains three vertical structures labeled 11, 21, and 11 from left to right. These are flanked by regions 10 and 18. A central region 12 is also shown. Below part 310, there are labels for 240 (ESD保護素子) on either side of the central 310 region.

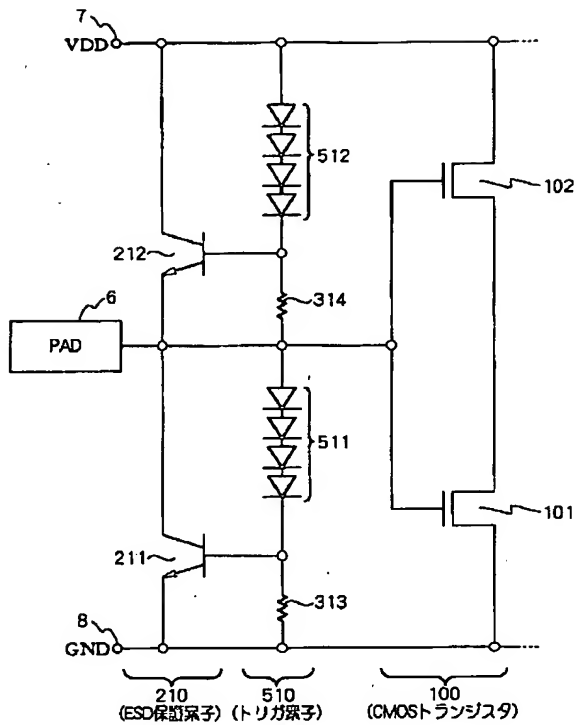
【図24】



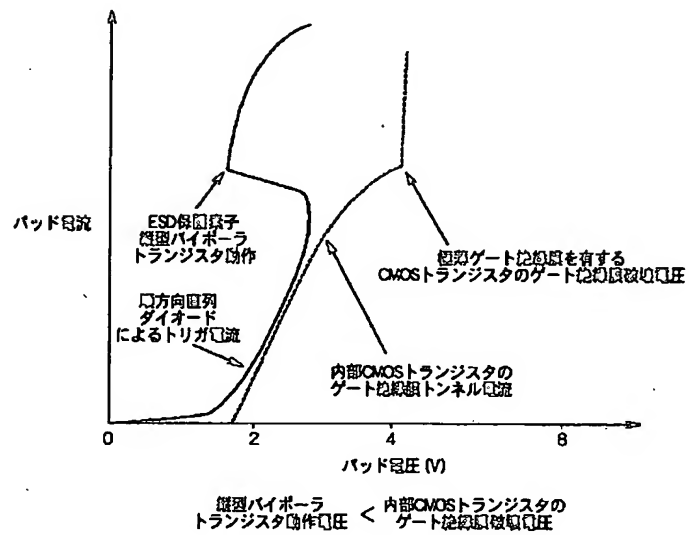
【図25】



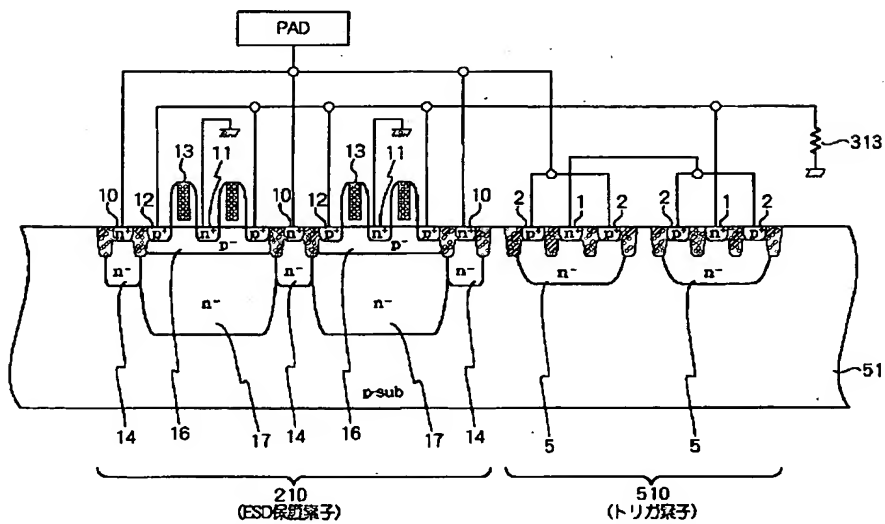
【図 26】



【図 29】

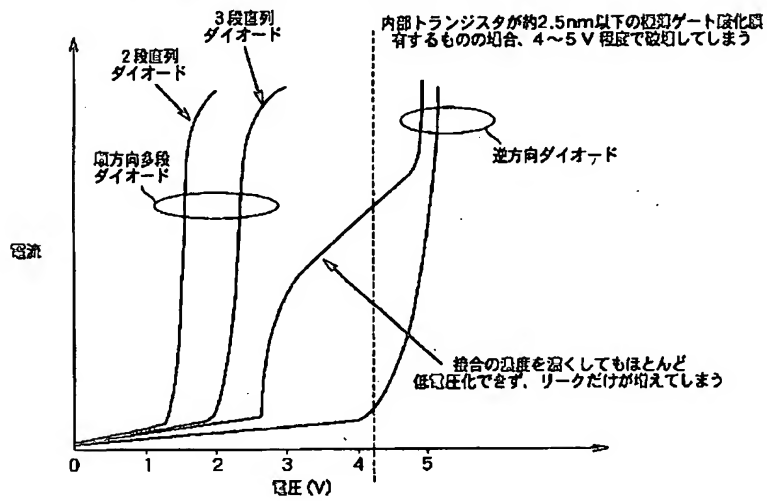


【図 27】

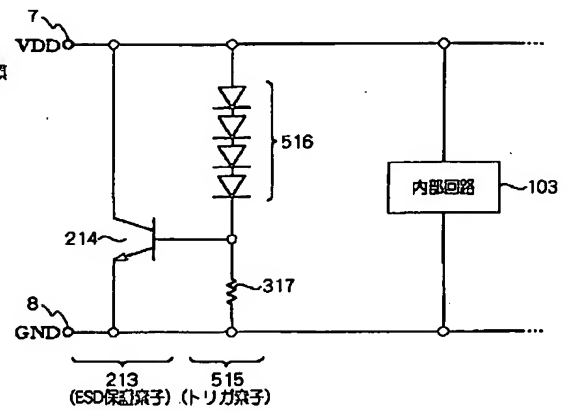


【図 28】

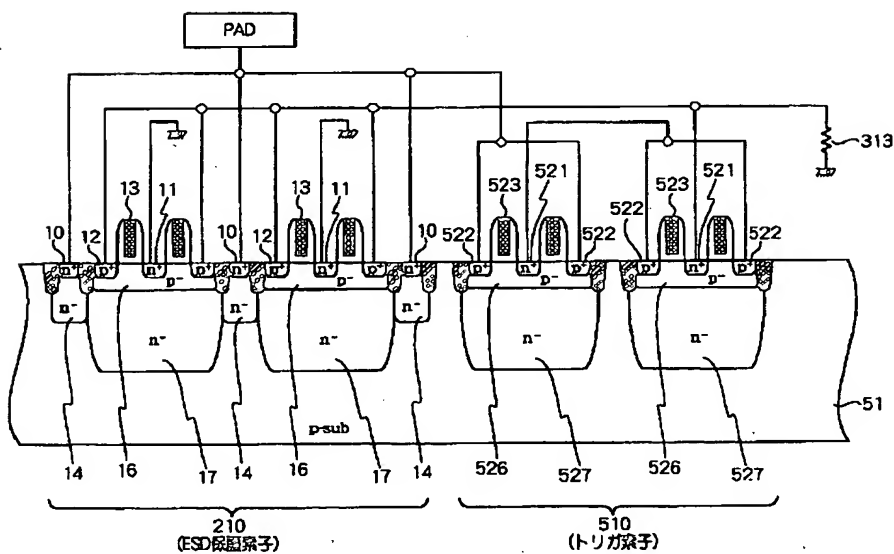
順方向直列接続ダイオードと逆方向ダイオードの比較



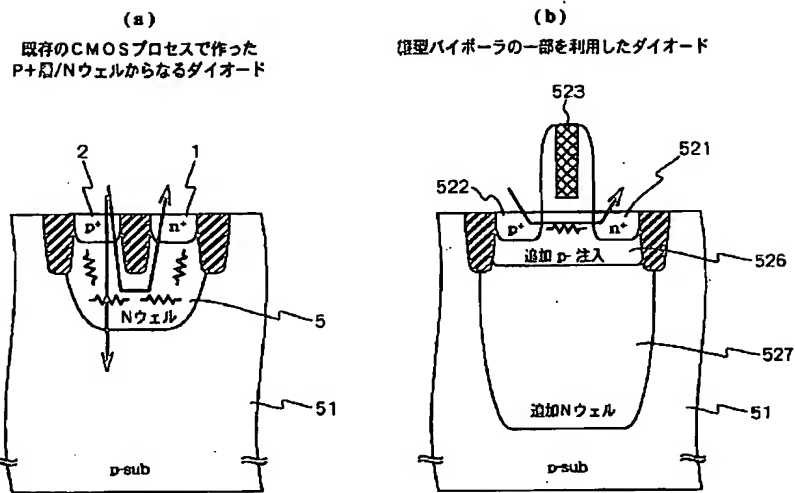
【図 30】



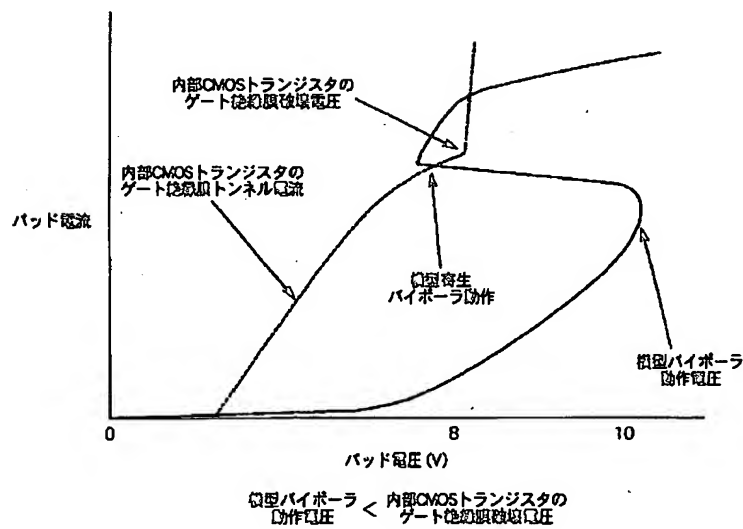
【図 31】



【図 3 2】



【図 3 3】



フロントページの続き

(51) Int. Cl.⁷H01L 27/04
27/092

識別記号

F I

テーマコード (参考)